

반도체 소자의 특성에 영향을 주는 오염물

반도체 제조 공정 중에 발생하거나 여러 오염원으로부터 오염되는 많은 오염물들을 유기오염물, 파티클, 자연산화막 및 금속불순물로 분류하였고 또한 오염물은 아니지만 세정 공정을 통해 반드시 제어해야 할 표면거칠기도 포함시켰다. 각각의 오염물들에 대한 정의, 오염원들의 종류 그리고 반도체 소자 제조, 성능 및 특성에 미치는 영향 등을 알아보았다.

기관 표면 위의 오염 물질들에 대한 오염원들과 반도체 소자 제조 및 특성에 미치는 영향을 Table 1에 요약하여 나타내었다.

Table 1. Sources of various contaminants and their effects on the device characteristics.

Contaminants	Possible sources	Effects of contaminants
Organic	Vapor in room, residues of photoresist or organic solvents, storage containers, etc.	Changes in oxidation rate
Particles	Equipment, ambient, gas, DI water, chemicals	Low oxide breakdown Defect(pinhole, microvoid)
Native oxide	Ambient moisture, chemicals, DI water rinse	Degraded gate oxide Low quality of epi-layer High contact resistance Poor silicide formation
Metallic impurities	Equipment, chemicals, ion implantation, reactive ion etching	Low breakdown field High junction leakage current Reduced minority carrier lifetime
micro-roughness	Initial wafer material, chemicals	Low oxide breakdown field Low mobility of carrier

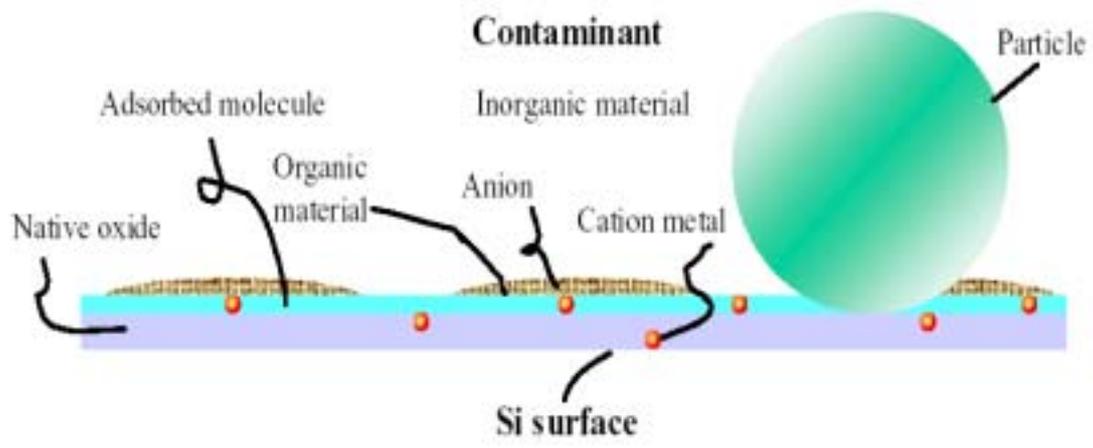


Fig. 1. Some kind of contaminants.

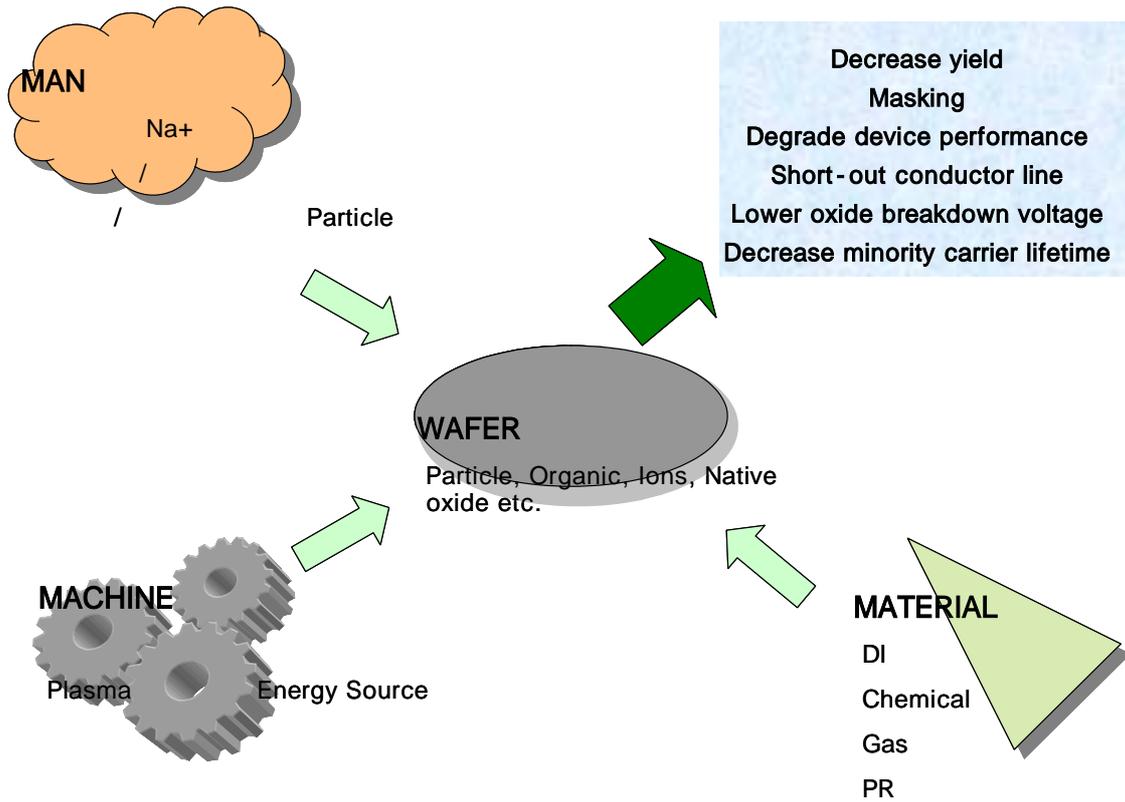


Fig 2. The effects of sources of contaminants.

1. 오염물질의 분류

1) 유기오염물 (Organics)

유기오염물은 주로 분자형(molecular-type) 오염물로서 반도체 소자 제조 공정에서 포토레지스트 잔류물이 가장 큰 오염원이고, 그 외에 synthetic waxes, resins, oil, 지문에 의한 grease, 잔류 용매 및 여러 가지 분위기(ambient) 등이 주요 오염원이고, 공기 중에서 실리콘 기판을 취급 및 보관하는 중에도 쉽게 오염되며 유기 용매를 사용했을 때 이 용매가 증발한 후에도 기판 표면에 잔류하는 경향이 있다. 이것은 실리콘 표면이 소수성(hydrophobic)일 때 더욱 쉽게 오염된다. 이런 성질의 유기오염물은 소수성 표면 성질을 가지고 있으므로 세정시 세정액의 젖음성(wetting)을 방해하여 세정 효과를 크게 감소시키고, 표면에 금속불순물이나 자연산화막을 잔류시킬 수 있으며, 산화막 성장 속도에 영향을 끼치고, 반응성 이온 식각 공정시 미세마스크 효과를 일으킬 수 있으며 그리고 제거되지 않고 남아 있을 시에는 증착되는 박막의 부착을 저해한다. 또 열공정시 이와 같은 잔류 유기오염물은 실리콘 기판과 반응되어 탄화규소(SiC)와 같은 화합물이 형성될 가능성도 있다. 따라서 이 유기오염물의 제거는 세정 공정의 첫 번째 단계에서 반드시 수행되어야 한다.

2) 파티클 (Particles)

파티클은 환경 또는 공정 중에 발생하는 먼지 등과 같은 여러 이물질들을 의미하며 이것의 대부분은 제조 공정 동안 반도체 장비, 분위기, 각종 가스류, 화학 용액 및 탈이온수 등으로부터 실리콘 기판 표면에 오염된다. 아래의 Table 2는 ULSI-등급의 반도체용 화학 용액 중에 존재하는 파티클의 농도를 보여준다. Table 2에서 보듯이 파티클의 수는 H_2SO_4 용액에서 가장 많으며 HF 용액에서 가장 적음을 볼 수 있다.

이와 같은 파티클의 부착으로 인한 오염은 lithography 공정에서는 패턴 결함(pattern defect)을, 박막 형성 공정에서는 파티클의 분산에 의한 pinhole과 microvoid와 같은 결함을, 이온 주입 공정에서는 매스킹에 의한 결함을 그리고 소자 배선 상에서 소자의 작동을 방해하는 등 소자 특성 불량률의 원인이 된다. 또한 파티클의 수가 증가할수록 게이트 산화막의 절연막 파괴 전압이 감소되어 그 신뢰성과 수율이 저하되는 원인이 되고 있다. 따라서 파티클은 반도체 소자의 수율에 가장 큰 영향을 주는 것 중의 하나로 여겨지고 있다. 아래와 같은 Poisson 식에 의하면 반도체 소자의 수율은 파티클의 수로 대표되는 실리콘 기판 상의 결함 밀도

Table 2. Particle concentration (number/ml) in ULSI-grade semiconductor chemicals.

	NH ₄ OH	H ₂ O ₂	HF	HCl	H ₂ SO ₄
≥ 0.2 μm	130-240	20-100	0 - 1	2 - 7	180-1150
≥ 0.5 μm	13 - 30	5 - 20	0	1 - 2	10 - 80

Table 3. Sources of Particle Contamination

Inherent in Process	Extrinsic to Process
Flaking of deposited films from sidewalls	Wafer transport
Gas-phase reaction of CVD films	Valve actuation
Polymer formation in RIE processes	Vacuum roughing
Back sputtering	Mechanical vibration
Spurious nucleation	Bacterial growth in DI piping
Redeposition of metal particles in lift off	Screw caps on chemicals
Redeposition of resist during Piranha cleans	Corrosion/leaching of piping
Heating that crosso-links resist	Temperature gradients/ramping
	Outgassing of plasticizers from boxes/ carriers

(D)에 지수함수적으로 반비례함을 알 수 있다. 여기서 A는 칩 면적을 가리킨다.

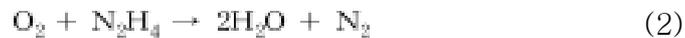
$$Y \propto \exp(-DA) \quad (1)$$

즉, 기판 상의 파티클의 밀도는 반도체 수율에 영향을 주지 않을 정도로 반드시 최소한으로 제어되어야 한다. 예를 들어 256M DRAM으로 대표되는 deep submicron 소자를 50% 이상의 수율로 제조하기 위해서는 각 공정에서 크기 0.1 μm 이상의 파티클을 0.05개/ cm^2 (≈ 16 개/200mm(8인치 기판)) 이하로 감소시킬 필요가 있다. 반도체 소자의 수율에 영향을 미치는 파티클의 크기도 반도체 소자가 고집적화 될수록 크게 감소되었는데 그 크기는 일반적으로 소자 회로 선폭의 약 1/10 수준 이하여야 한다. 즉, 이 점은 회로 선폭이 0.20 μm 일 경우 제어되어야 할 파티클의 크기는 0.02 μm 미만이어야 함을 의미한다. 따라서 ULSI급 반도체 소자 제조를 위해서는 파티클 제어가 기본적으로 이루어져야 한다. 또한 용액 내에서의 부착에 의한 오염은 용액의 수소이온농도에 크게 의존하여 용액이 알칼리보다는 강산성일 때 더 많은 파티클이 오염되는 것으로 증명되었다. 파티클의 제거 기구들은 용해, 산화 반응 후 용해, 기판 표면의 미세 식각에 의한 lift-off 그리고 파티클과 기판 표면간의 전기적 반발력 등으로 분류되어 진다. 이와 같은 기구들 중에 가장 유력한 것은 산화 반응 후 용해 기구와 전기적 반발력에 의한 기구라고 할 수 있다.

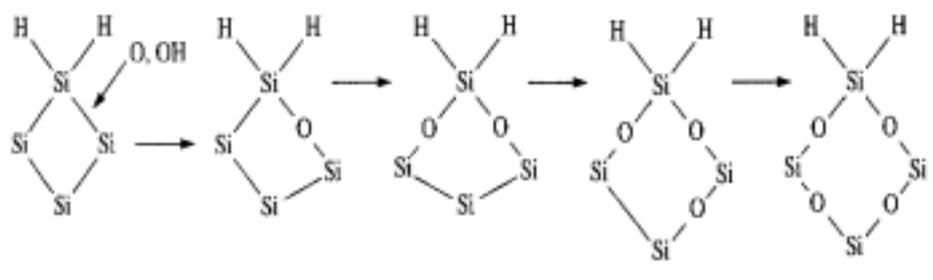
3) 자연산화막 (Native oxides)

자연산화막의 제거는 오늘날 초고집적 반도체 소자 제조 공정에서 매우 중요해지고 있다. 자연산화막이 있는 기판은 매우 얇은 게이트 산화막을 성장시킬 시 산화막의 성능이 떨어지고 접촉 형성시 접촉 저항을 높여주며, 또 선택적 화학기상 증착을 방해하기도 한다. 그리고 이 자연산화막이 성장하면서 몇몇 금속불순물과 같은 무기 오염물들이 그 내부에 포함될 수 있는데, 이같은 자연산화막이 완전히 제거되지 않는다면 이것은 금속불순물의 오염원이 되기도 한다. 또한 이 금속불순물들이 실리콘 안으로 확산되거나 산화막-기판 계면에 석출하기도 하는데 후속 열처리시 석출된 금속불순물들이 소자의 결함을 생성시킬 수 있다. 그리고 에피택시 박막을 형성시키기 전에는 반드시 자연산화막을 제거해야 고품질 에피택시 박막을 얻을 수 있다. 일반 대기 중에 기판이 노출되었을 때 자연산화막 성장은 상온에서 2~3 Å의 스텝을 갖는 layer-by-layer 형태로서 약 10 Å 내외로 성장된다고 알

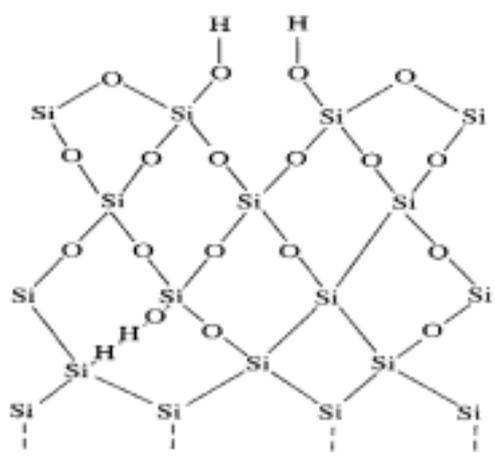
려져 있다. 또한 기관이 초순수에 담귀될 경우, 초순수에 존재하는 산소 성분들이 자연산화막의 성장을 촉진시키는데 이때 담그는 시간이 길수록 그리고 초순수내 산소의 농도가 높을수록 자연산화막의 두께는 더욱 증가한다. 특별히 초순수나 기타 다른 화학 용액에서 공정을 진행한 후 생성된 자연산화막은 화학적 산화막이라고 불리기도 한다. Figure 3는 대기 중에서와 초순수 내에서 기관 표면 위에 자연산화막이 성장하는 모델을 보여주고 있다. Figure 3에서 보듯이 산소가 실리콘-실리콘 결합을 끊고 산화막을 형성하고 산화막 형성 후에도 수소-종단되어 소수성 표면을 유지한다. 그러나 초순수 내에서 성장된 화학적 산화막의 경우는 산화막-실리콘 계면에도 실리콘-수소의 결합이 존재함을 알 수 있고 이와 같이 화학적 산화막의 표면은 O 또는 OH로 종단되는 것을 볼 수 있다. 한편, 초순수 내에 있는 산소의 농도를 감소시켜 자연산화막을 억제시키고자 하는 연구가 행해지고 있다. 그 방법들 중 하나인 탈기체막 방법은 초순수 내에 존재하는 산소 성분을 저압 진공 상태인 탈기체막을 통해 급속히 확산시켜서 먼저 그 농도를 300~400 ppb로 감소시키고 그 후 두 가지 방법으로 산소의 농도를 더욱 감소시키는 것이다. 첫 방법은 N₂H₄ (촉매성 수지, catalytic resin) 또는 H₂(팔라듐 촉매)를 사용하여 초순수내 산소 농도를 5 ppb 이하로 감소시키는 것인데 그 반응식은 식 (2)와 (3)처럼 표현된다.



다른 방법은 초순수 내에 질소를 불어넣는 것으로서 이 방법은 초순수 내의 산소 분압을 0.1 ppb 이하로 감소시킨다.



(a)



(b)

Fig 3. The models of native oxide growth (a) in air and (b) in ultrapure water.

4) 금속불순물 (Metallic contaminants)

금속불순물도 파티클과 마찬가지로 공정 제조 장치, 청정실 내 공기 그리고 각종 재료 등으로부터 오염될 수 있으나 금속불순물 오염의 대부분은 각종 화학 용액과 제조 공정에 기인한다. 즉, 이온 주입, 플라즈마 식각, dry ashing, sputtering 및 반응성 이온 식각 등과 같은 공정들은 대표적인 금속불순물들인 철, 구리 그리고 니켈 등에 대해 약 $10^{11} \sim 10^{13}$ atoms/cm² 수준으로 기판을 오염시킨다. 이와 같은 금속불순물들이 기판 표면 위에 오염되는 기구는 크게 두 가지로 요약된다. 첫째는, 실리콘 기판 위에 종단되어 있는 수소 원자 또는 실리콘 기판과 금속 이온들 간의 전하 교환에 의한 기판 위의 직접 결합이다. 이에 해당하는 금속들은 주로 금(2.4(전기음성도), 1.68 V(반쪽-전지 환원 전압), 이하 순서 동일), 백금(2.2, 1.19 V), 은(1.9, 0.80 V), 수은(1.9, 0.79 V) 및 구리(1.9, 0.34 V) 등과 같은 귀금속들로서 이것들은 모두 전기음성도 및 반쪽-전지 환원 전압이 실리콘(1.8, 0.10 V)보다 크므로 수소 또는 기판 표면으로부터 전자를 취해 환원 및 석출하려고 하는 경향이 큰 특성때문에 기판 표면에 오염된다고 여겨진다. 이와 같이 오염된 금속불순물들은 대개 습식 세정법으로 쉽게 제거되지 않는다. 금속불순물의 두 번째 오염 기구는 기판 표면에 산화막이 형성될 때 금속불순물이 동시에 함유되어 오염되는 경우이다. 철, 크롬 그리고 알루미늄과 등과 같은 금속들이 여기에 해당하는데 이는, 아래의 Table 4에서 보는 것처럼, 금속불순물이 산화물을 형성하는 경향이 큰 것을 의미하는 형성 엔탈피 값들에 근거를 두고 있다.

이와 같이 오염된 금속불순물은 반도체 소자의 물리적 및 전기적 특성에 치명적인 영향을 끼쳐 제조 신뢰성 및 수율 등을 크게 감소시킨다. 즉, 금속불순물들은 승온시 기판 내부로 확산하여 실리콘 금지대 내의 deep level에 위치함으로써 소수 운반자들의 생성/재결합을 일으키는 trap center로 작용하여 소수 운반자 수명을 감소시키고, p-n 접합 누설전류를 증가시키며 산화물 절연과피 전압을 감소시킨다. Figure 4은 실리콘 금지대 내에 존재하는 금속불순물들의 energy level이다. 특별히 구리와 철은 deep level들로서 각각 0.53 eV donor level과 0.51 eV acceptor level에 위치하고 있다는 것을 알 수 있다. 그 외에도 금속불순물은 산화나 에피택시 공정 후에 적층 결합 등을 일으키고 게이트 산화막/실리콘 계면에도 구조적인 결합을 발생시키며 또한 계면 준위 밀도를 증가시키는 등 소자의 특성을 열화시킨다. 특히 알칼리 금속들(Na, K 및 Ca)은 산화막 내에서 가동 이온(mobile ion)으로 작용하여 게이트 산화막 특성을 크게 저하시킨다. 이와 같이 소자의 미세화와 함께 금속불순물에 따른 영향도 현저해져 deep submicron 소자에서 실리콘 기판 표면

위의 금속불순물은 10^{10} atoms/cm² 이하로 제한되어야 한다.

Table 4. The changes in the enthalpy of oxide formation.

Elements	Oxides	ΔH_f^0 (kJ/mol)
Al	Al ₂ O ₃	-1,675
Cr	Cr ₂ O ₃	-1,130
	CrO ₂	- 583
	CrO ₃	- 580
Fe	Fe ₃ O ₄	-1,118
	Fe ₂ O ₃	- 822
	Fe(OH) ₃	- 833
	Fe(OH) ₂	- 574
Si	SiO ₂	- 909
Ni	Ni(OH) ₂	- 530
	NiO	- 241
Zn	Zn(OH) ₂	- 642
	ZnO	- 348

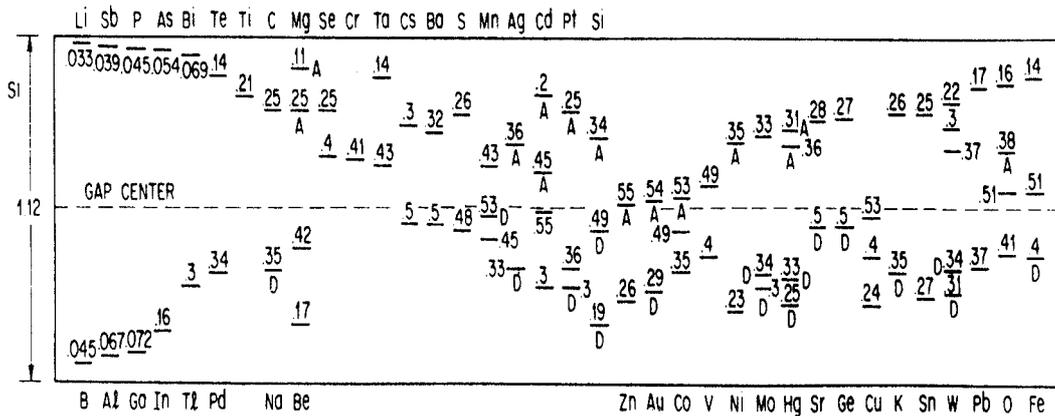


Fig 4. The measured ionization energies for various impurities in Si semiconductor at 300 K.

금속불순물들을 검출하는 방법은 bulk-sensitive 및 surface-sensitive 방법의 두 가지 종류가 있다. 먼저 bulk-sensitive 방법의 가장 대표적인 것들은 DLTS (deep level transient spectroscopy)와 SPV(surface photovoltage)가 있는데 이와 같은 방법들은 금속불순물들을 기관 안으로 확산시키는 thermal drive-in 공정을 거친 후 철폐와 같은 기관 bulk 내의 금속불순물들을 검출한다. 그러나 DLTS와 SPV는 주로 소수 운반자 수명 및 확산 길이(diffusion length)를 측정하는데 활용되고 있다. Surface-sensitive 방법들은 TXRF(total reflection x-ray fluorescence), TOF-SIMS(time-of flight secondary ion mass spectrometry), HIBS(heavy-ion backscattering spectrometry) 그리고 VPD /AAS(vapor phase decomposition/atomic absorption spectroscopy)가 있다. 현재 표면 위의 금속불순물을 정량 분석하는 용도로 가장 많이 활용되고 있는 TXRF는 10^{10} atoms/cm²의 검출 한계를 가지고 있고, TOF-SIMS는 금속불순물에 대해 가장 낮은 검출 한계(10^6 atoms/cm²)를 가지고 있으며, HIBS는 금속불순물을 정량화하기가 가장 쉬운 장비로 알려져 있고 그리고 VPD/AAS는 주로 산화막 내에 금속불순물이 함유되어 있을 때에 활용되고 있다.

5) 표면거칠기 (Surface roughness)

오늘날 높은 신뢰성과 성능을 요구하는 고집적 ULSI 소자를 제조하는데 있어서 가장 중요한 요소 중의 하나는 표면거칠기라 할 수 있다. 이는 0.25 μm 의 회로 선폭을 가진 256M DRAM의 게이트 산화막 두께를 70 Å 이하로 제어해야 하고, 2000년대에 0.10 μm 의 기술력에서는 40 Å 이하의 두께가 요구되므로 이와 같은 초박막이 도입되는 초고집적 소자 제조 시에는 기관 표면의 원자적 청정도 뿐만 아니라 평탄성이 요구되기 때문이다. 또한 보고에 의하면 게이트 산화막의 특성을 평가하는 가장 중요한 기준인 산화막 절연파괴 전압은 이 표면거칠기에 크게 의존하는 것으로 밝혀져 그 중요성은 더욱 부각되고 있다. 이와 같은 표면거칠기를 관찰할 수 있는 분석 장비로는 STM(scanning tunneling microscope)이 일반적으로 가장 많이 사용되었으나, 자연산화막이 존재하는 시편의 표면거칠기를 측정할 때 산화막이 터널링 전류를 감소시키고 분해능에 영향을 끼치므로 최근에는 위와 같은 문제점에 영향을 받지 않는 장비인 AFM(atomic force microscope)이 개발 및 보급되어 표면거칠기 연구에 큰 도움을 주고 있다.