

마이크로 칩 전기영동에 응용하기 위한 다결정 실리콘 층이 형성된 마이크로 채널의 MEMS 가공 제작

김태하, 이인택, 전명석*, 이강택¹
한국과학기술연구원 환경·공정연구부 복잡유체연구실
¹연세대학교 화학공학과
(mschun@kist.re.kr*)

MEMS Fabrication of Microchannel with Poly-Silicon Layer for Application to Microchip Electrophoresis

Tae-Ha Kim, Intaek Lee, Myung-Suk Chun* and Kangtaek Lee¹
Complex Fluids Research Lab., Environment and Process Div., Korea Institute of Science
And Technology (KIST)
¹Department of Chemical Engineering, Yonsei University
(mschun@kist.re.kr*)

서론

Microchip electrophoresis에서 chip의 채널 소재로 glass나 quartz를 사용하면 UV 검출기를 도입할 수 있다. UV 검출기는 형광검출기 등과 같은 다른 방식에 비해 상대적으로 비용은 저렴하면서 조작성은 비교적 간편한 장점이 있다. 그런데, UV 검출기를 채택한 microchip electrophoresis에서는 UV 광이 채널이외의 부분에서는 차단되도록 하고 오로지 채널 부분에만 집중되게 하여 그 결과 peak의 검출세기를 높이는 기능을 갖도록 chip을 제작하는 연구가 필수적이다. 즉, 광 차단판의 제작에 관한 심화 연구와 보다 다양한 재질의 chip에 대한 응용 확장에 관한 연구가 요구되고 있다.

본 연구에서는, 식각 마스크(etch mask) 역할이 가능한 다결정 실리콘(poly-Si)을 선택하여 광 차단판을 형성시킨 glass와 quartz 재질의 두 종류 chip을 성공적으로 제작하는 MEMS 공정을 확립하였다. 불순물을 다량 포함하는 glass의 경우는 식각액(etchant) 조성에 대한 최적조건을 도입하여 표면 거칠기를 크게 감소시켰다. 특히 glass 채널기판에 증착된 poly-Si 층은 HF에 의한 습식식각(wet etching) 과정에서 식각 마스크의 역할을 하는 동시에 채널기판과 reservoir 기판 사이에 접합표면을 효과적으로 형성하여 양극 접합(anodic bonding)을 가능하게 함을 규명하였다.

마이크로 채널 제작(Microchannel Fabrication)

웨이퍼를 세척한 후 LPCVD (low pressure chemical vapor deposition)로 silane (SiH₄) 기체를 흘려 Poly-Si를 증착시켰다. 형성된 희생층은 산소 플라즈마 식각에 의해서만 제거되고, 나중의 습식식각 과정에서 HF에 의한 영향은 받지 않는다[1,2]. 원하는 패턴의 마스크를 사용하여 빛을 선택적으로 감광제(photo resist, PR)에 조사함으로써 마스크와 동일한 패턴을 형성하는 포토 리소그래피(photo lithography)를 도입하여 채널을 패턴닝 하였다. 채널의 식각을 위해 첫째로, SF₆와 O₂기체를 이용하여 플라즈마에 의한 RIE (reactive ion etching) 건식식각(dry etching)을 하였다. RIE 공정에서는 진공분위기에서 생성된 이온 및 라디칼의 지속적인 충돌과 전기적 인력에 의한 가속으로 재료표면에

충돌하고 분자결합을 파괴하여 웨이퍼 위에 형성된 Poly-Si를 깎아낸다[3,4]. 둘째로 습식식각으로서, quartz는 HF 수용액(49 wt%)으로, glass는 불순물로 인한 표면 거칠어짐을 보완하기 위해 HF (49 wt%)와 NH_4F (40 wt%)의 1:1 혼합 식각액으로 수행 하였다[1]. 원하는 깊이가 식각되었으면 PR을 제거하고 초음파 세척하여 채널 상층부 입구에 일부 남아 있는 Poly-Si를 절단한다.

마이크로 칩 제작(Microchip Fabrication)

Fig. 1의 전체공정에 따라서, 앞서 완성시킨 poly-Si 증착층과 채널부분이 형성된 채널기판을 reservoir 기판과 접합하여 microchip을 제작한다. Dry film resist (DFR)로 코팅한 후에 패터닝 과정을 거친 reservoir 기판에는 sand blast 기법으로 1개의 chip에 대해서 4개의 reservoir와 2개의 정렬 마크 구멍을 형성하였다.

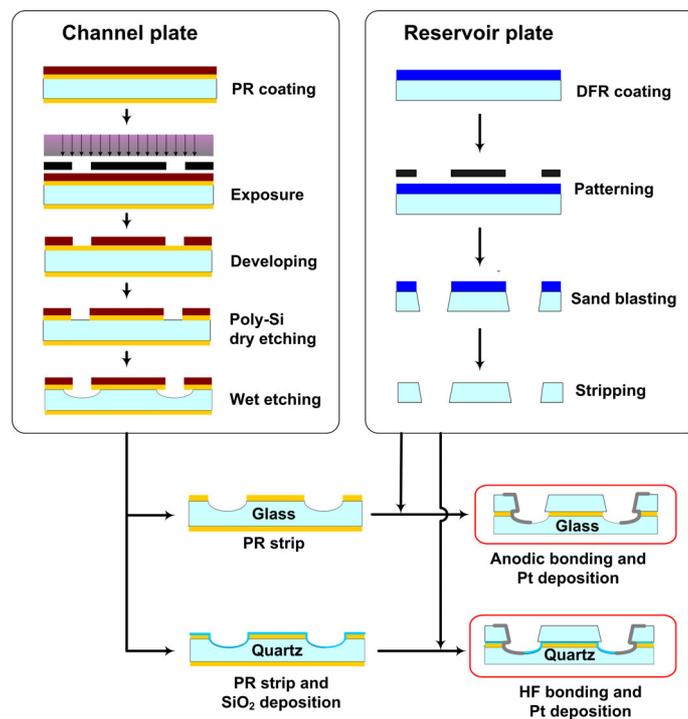


Fig. 1. Fabrication process for the microchip with poly-Si layer.

Glass와 Si (poly-Si)의 양극 접합 에서는 온도를 높여주면 glass는 전도성 있는 고체 전해질이 되어 Na가 음극 방향으로 이동한다. Na의 이동 으로 glass와 Si의 경계면에 공간전하가 형성되고, 전압강하가 발생한다. Glass와 Si 사이의 높은 전기장은 정전기적 힘을 일으키고, glass 표면과 실리콘 사이에 공유결합을 형성한다[5,6]. Wafer bonder를 이용하여 Si 표면에 존재하는 결합이 끊긴 이온(+)이 glass의 산소이온(-)과 결합하게 하였다. 실험결과, 불완전한 접합으로 생성되는 pin-hole 현상이 거의 없는 양호한 특성을 나타내었다. Quartz 웨이퍼의 경우는, PECVD (plasma enhanced chemical vapor deposition)를 이용하여 채널기판에 SiH_4 와 N_2O 기체를 흘려 SiO_2 를 1000 Å 두께로 증착시켜 접합 표면을 형성한 후 채널기판과 reservoir 기판 사이에 HF 용액 (0.5wt%)을 주입하고 wafer bonder를 이용하여 접합한다[7].

Pt 전극을 스퍼터링(sputtering)하기 전에 전극이 증착될 부분을 Si 웨이퍼 상에서 Nd:YAG 레이저로 뚫은 shadow mask를 Fig. 2와 같이 제작하였다.



기체를 진공 chamber 안으로 주입하여 목표물질(target)인 Pt/Ti와 충돌시켜 플라즈마를 생성시킨 후 이를 기판에 코팅시키는 방법인 직류 스퍼터링에 의해 전극 증착하였다. 본 연구에서는, 목표물질을 음극으로 기판을 양극으로 하였고 Ar을 사용하였다. Pt의 증착성을 높이기 위해 먼저 Ti를 20 nm 두께로 증착시킨 후 Pt를 500 nm 두께로 증착시킨다.

Fig. 2. Photograph of the shadow mask.

결과 및 고찰

Fig. 3은 혼합 식각액에 의해 완성된 웨이퍼를 Nd:YAG 레이저로 절단하여 제작한 microchip 이다. Microchip의 채널 구조는 시료에 대한 전기영동 성능에 영향을 끼치는 중요한 요인이다. FE-SEM (field emission scanning electron microscope) 관측으로 완성된 microchip의 채널 형태와 크기를 Fig. 4와 같이 비교하였다. 여기서, glass chip과 quartz chip 모두 습식식각 하였기 때문에 기본적으로 채널의 단면 형태는 등방성(isotropy)인데, quartz chip은 약간 비등방성 사다리꼴을 나타내었다.

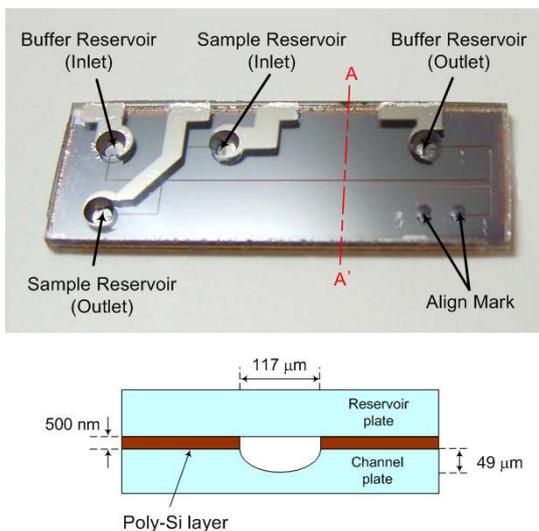


Fig. 3. Close-up view of the microchip for electrophoresis, where cross-sectional view is taken along A-A'.

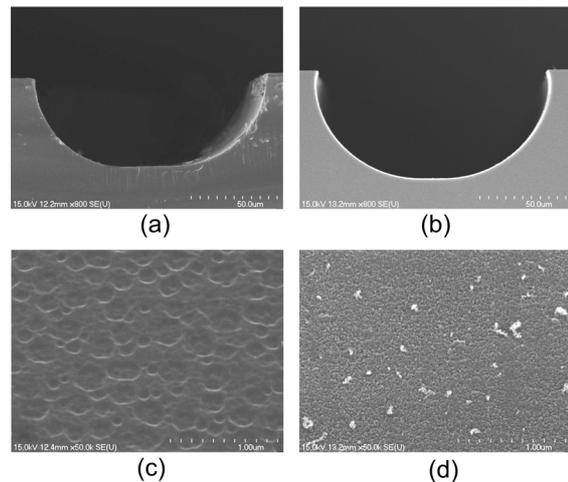


Fig. 4. SEM images of the channel plate obtained by wet etching with HF (49 wt %) etchant: (a) cross-section of the quartz channel, (b) cross-section of the glass channel, (c) bottom surface of the quartz channel, (d) bottom surface of the glass channel.

일반적으로 glass의 경우는 포함된 불순물 때문에 식각과정 중에 발생하는 pin-hole과 같은 현상으로 후속 공정인 점합과정에서 표면이 거친 채널 내부를 형성하여 시료 및 buffer 용액의 미세한 흐름에 영향을 미치게 된다. 이를 개선하기 위한 HF 와 NH₄F 의 혼합 식각액을 도입하였다. HF는 oxide 식각에 직접관여를 하며 NH₄F는 균일성을 좋게 하는 완충용액의 역할을 한다. 즉, HF → H⁺ + F⁻ 에서 낮아진 pH를 NH₄F → NH₄⁺ + F⁻ 의 과정에서 보충함은 물론, HF에 약한 PR을 습식식각이 끝날 때까지 온전하게 보호해준다.

peak 특성치에 대해서 poly-Si 층의 광 차단판이 없는 경우와의 비교결과를 Table 1에 정리하였다. 광 차단판의 존재에 의해서 S/N ratio는 quartz chip이 약 2배 수준으로 glass chip이 약 3배 수준으로 향상된 것으로 나타난다. 아울러, UV 최대흡광 감도는 약 1.6 및 1.7배 정도로 각각 증가하였음을 알 수 있다.

Table 1. The change of peak properties according to an existence of the optical slit with poly-Si layer

Peak Properties	Quartz Chip		Glass Chip	
	Without Optical Slit	With Optical Slit	Without Optical Slit	With Optical Slit
S/N Ratio	2.7 – 3.5	6.1 – 6.7	5.5 – 6.6	15 – 23
Max. UV Absorbance (mAbs)	188 ± 3	295 ± 5	118 ± 4	195 ± 5

결론

채널기관과 reservoir 기관 사이에 형성시킨 poly-Si 층은, 광 차단판의 역할은 물론이고 식각 마스크와 접합표면으로서의 중요한 기능도 제공하였다. 특히, 광 차단판의 역할은 UV 광의 S/N ratio와 흡광 감도를 향상시켜 전기영동 분석 성능에 결정적으로 작용한다. quartz chip은 glass chip의 경우에 비해 채널내부의 표면은 매끄러웠지만 접합 특성은 좋지 못하였다. 한편, 완성된 두 종류의 chip을 이용하여 neutral marker에 대한 전기삼투 흐름속도(electroosmotic flow velocity)를 측정하여 microchip electrophoresis에의 적용 가능성을 확인하였는데, quartz chip이 glass에 비해 UV 광의 흡광 감도가 우수하고 아울러 빨리 검출되었다.

감사

본 연구는, 한국과학재단 특정기초연구사업(R01-2004-000-10944-0)과 KIST 핵심역량심화 연구사업(2E19570)의 지원으로 수행되었다.

참고문헌

- [1] Faust, J. W. and Palik, E. D., "Study of the Orientation Dependent Etching and Initial Anodization of Si in Aqueous KOH", *J. Electrochem. Soc.*, **130**, 1413-1420(1983).
- [2] Madou, M. J. (Ed.), *Fundamentals of Microfabrication: The Science of Miniaturization*, 2nd ed., CRC Press, New York(2002).
- [3] Schwartz, B. and Robbins, H., "Chemical Etching of Silicon-III; A Temperature Study in the Acid System", *J. Electrochem. Soc.*, **108**, 365-72(1961).
- [4] Chun, M.-S., Shim, M. S. and Choi, N. W., "Fabrication and validation of a multi-channel type microfluidic chip for electrokinetic streaming potential devices", *Lab Chip*, **6**, 302-309(2006).
- [5] Anthony, T. R., "Dielectric isolation of silicon by anodic bonding", *J. Appl. Phys.*, **58**, 1240-1247(1985).
- [6] Kim, M.-S., Cho, S. I., Lee, K.-N. and Kim, Y.-K., "Fabrication of microchip electrophoresis devices and effects of channel surface properties on separation efficiency", *Sens. Actuators B*, **107**, 818-824(2005).
- [7] Nakanishi, H., Nishimoto, T., Nakamura, R., Yotsumoto, A., Yoshida, T. and Shoji, S., "Studies on SiO₂-SiO₂ bonding with hydrofluoric acid. Room temperature and low stress bonding technique for MEMS", *Sens. Actuators A*, **79**, 237-244(2000).