

## nMOS high-k gate stack 형성을 위한 capping layer의 선택적 에칭

오지숙, 배진성, 서동완, 임상우\*

연세대학교

(swlim@yonsei.ac.kr\*)

차세대 소자의 트랜지스터 공정 기술의 개발을 위해, high-k / metal gate가 도입되는데, high-k 재료의 공정 중 손상 방지 및 전기적 성질의 개선을 위하여 pMOS와 nMOS의 capping layer로서 각각  $\text{Al}_2\text{O}_3$  및  $\text{La}_2\text{O}_3$ 가 검토되고 있다. 그러나, gate stack 공정 중 pMOS 영역의 nMOS capping layer를 제거하는 과정에서, 낮은 etch selectivity는 하부의 pMOS capping layer 및 high-k dielectric layer에 손상을 야기한다. 따라서  $\text{Al}_2\text{O}_3$ 와 high-k에 대한  $\text{La}_2\text{O}_3$ 의 선택적 습식에칭 기술이 필요하다.  $\text{La}_2\text{O}_3$ 에 관한 기본적인 에칭 연구는 아직까지 미비하며, 하부 층들과의 selectivity에 관한 연구도 진행되어 있지 않다. 본 연구에서는 다양한 etchant와 실험조건에서  $\text{La}_2\text{O}_3$ ,  $\text{Al}_2\text{O}_3$  및 high-k 각각의 single layer들의 etch rate를 확보하여, 높은 etch selectivity를 갖는 최적 etchant를 선정하였다. 이 etchant를 high-k와  $\text{Al}_2\text{O}_3$ 위에  $\text{La}_2\text{O}_3$ 가 적층된 multi-layer 구조에 적용하여, 하부 층들의 손상 없이  $\text{La}_2\text{O}_3$ 가 제거됨을 최종적으로 확인하였다.