

InAs 반도체 표면의 습식 산화 거동 연구

나지훈, 서동완, 이진훈, 임상우†

연세대학교

(swlim@yonsei.ac.kr†)

최근 실리콘 기반의 CMOS는 소자의 소형화에 따른 쇼트 채널 효과와 누설 전류 발생이 문제 시 되고 있다. 이러한 문제들을 해결하기 위한 한가지 방안으로 실리콘 대비 높은 전자 이동도를 가지는 III-V족 화합물 반도체를 새로운 채널 물질로 도입하는 것이 제안되었다. 그 중에서도 InAs는 $40000 \text{ cm}^2/\text{Vs}$ 의 높은 전자 이동도를 가지고 있기 때문에 미래 반도체 소자의 채널 물질로 적용되어 저전력, 고속 디바이스의 제작이 가능하다. 그럼에도 불구하고 InAs반도체의 습식 세정 및 표면 반응에 관한 연구가 충분히 이루어지지 않았기 때문에 게이트 형성을 위한 InAs 표면처리 연구가 필요하다.

본 연구에서는 습식 세정 공정에서의 InAs 표면 산화 특성을 규명하기 위하여 APM ($\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$), HPM ($\text{HCl} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$), FPM ($\text{HF} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$) 및 다양한 pH 레벨을 가지는 용액을 이용하여 습식 공정 후의 InAs의 표면 특성을 분석하였다. InAs의 etching rate는 microbalance를 통해 계산되었고, 표면 거칠기는 AFM으로 측정되었다. InAs의 표면 산화 상태는 XPS로 분석되었고 산화막의 두께는 ellipsometer를 통해 관찰되었다. InAs는 H_2O_2 가 용액 내에 첨가되었을 때 표면 산화 비율 및 etching rate가 증가되는 것으로 나타났다. 또한 용액의 pH가 4보다 높을 때는 습식 처리 후 InAs의 표면이 산화되었지만 용액의 pH가 3보다 낮은 때에는 InAs의 표면 산화가 억제되었다. 본 발표에서는 이러한 실험적 결과를 열역학 및 전기화학적으로 해석한다.