

# 반도체 전공정

## 어닐링 (Annealing)

### a) 열적 어닐링 (Thermal annealing)

- **급속 열 공정(RTP)** : 매우 적은 확산이 이루어지도록 어닐링을 1,050°C에서 20초에 실시하는 것과 같은 급속 열 어닐링(RTA), 이와 유사 시스템 사용한 급속 열 산화와 급속 열 화학증기증착 (CVD).
- **플래시 어닐링** : RTA를 0.1초 어닐링처럼 더 짧게 실시
- **레이저 어닐링** : 더욱 짧은 시간(마이크로초 이하)동안 가열하기 위해 매우 짧은 레이저 펄스로 가열
- **과도적 증진 확산(TED)** : 이온 주입에 의해 발생한 결정 손상이 낮은 온도에서의 도펀트 확산도를 증가시키는 현상. 결정 손상이 어닐링되는 짧은 시간이 지난 뒤에는 이런 확산의 증진이 사라짐.

# 반도체 전공정

## 어닐링 (Annealing)

### b) 결정의 열처리(Annealing)

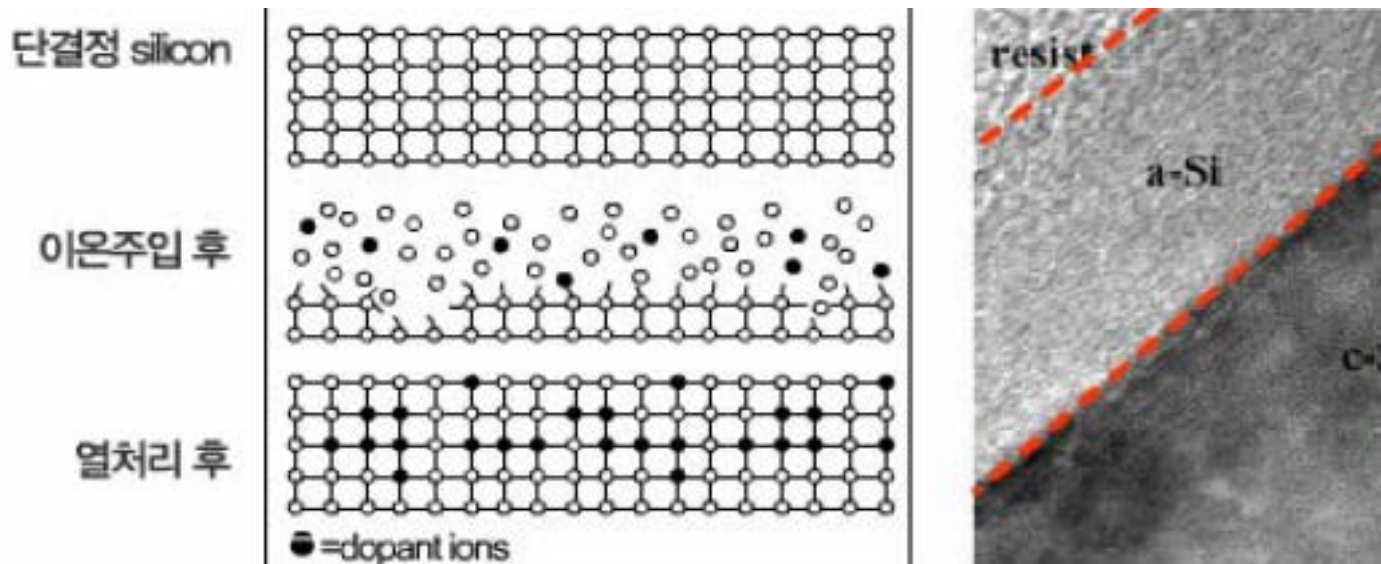
#### ① 열처리 목적

- 결정결함들에 의한 누설전류 특성 및 소자 성능 악화 → 결정결함 제거 필요

#### ② 결정결함

- 고에너지 이온들의 실리콘 원자 충돌시 실리콘 공유결합 파괴

- 단결정 실리콘에 이온주입시 공유결합 깨어진 실리콘과 도펀트의 비정질 실리콘에 존재.



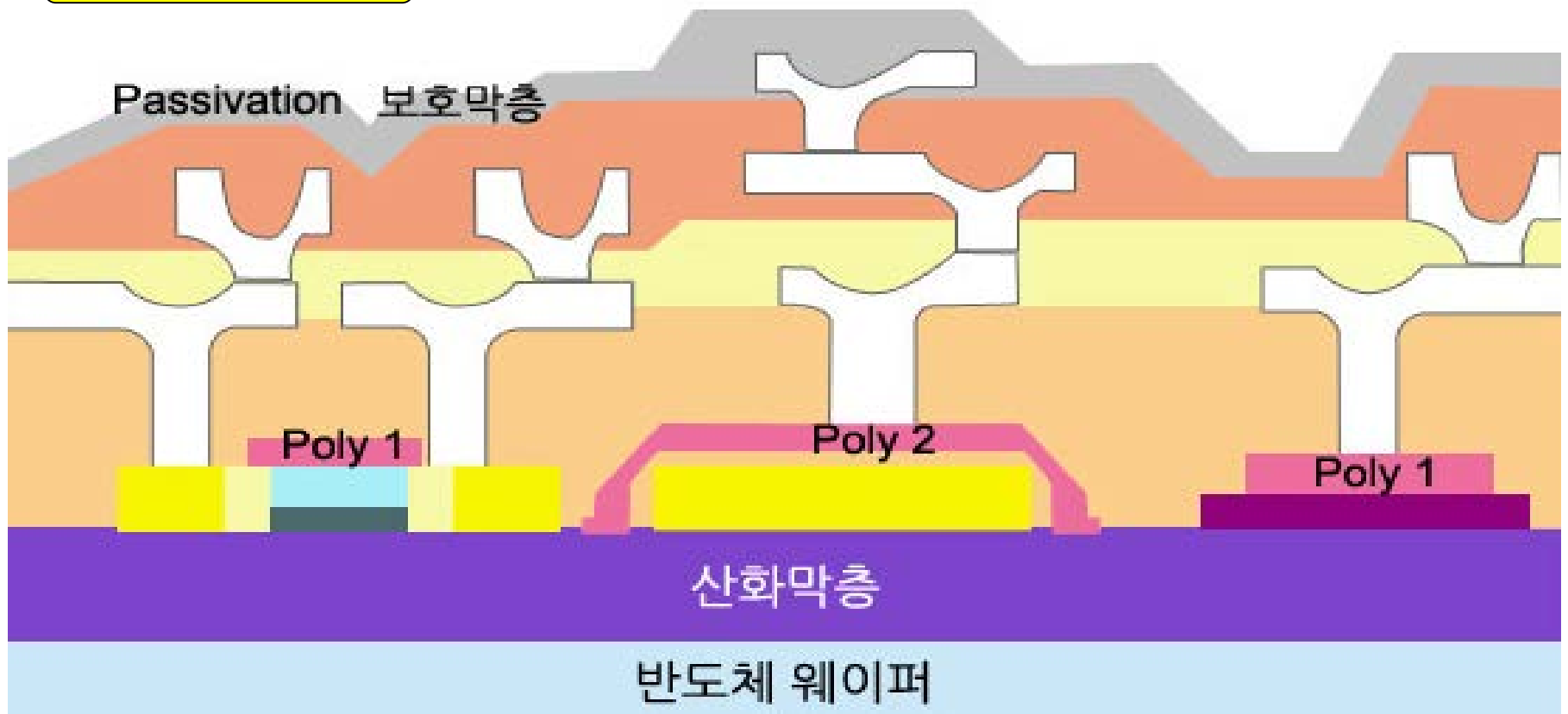
허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

반도체 제조공정 중 하나로, 고전압에 의해 이온화된 아르곤 가스를 사용하여 타겟에서 금속 입자를 떼어내어 금속 박막을 Wafer에 입히는 방법이다.

### 반도체 증착구조



허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### 1) 증착

#### ① 물리 기상 증착법 (Physical Vapor Deposition)

- 전자빔이나 플라즈마를 이용하여 증발 금속원자의 wafer 표면증착기술

#### ② 화학 기상 증착법 (Chemical Vapor Deposition)

- CVD는 균일하고 좋은 단차 피복성을 갖는 코팅 제공하고 한번에 많은 wafer 증착할 수 있으므로 금속화 공정에 많이 사용

#### ③ 진공증착 (Vacuum Deposition)

#### ④ 원자층증착 (Atomic Layer Deposition)

### 2) 금속배선(Metallization)

- wafer 표면에 형성된 각 회로를 Al, Cu등으로 연결 공정

**허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.**

# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### 물리적 기상증착 (PVD) (Physical Vapor Deposition)

### 화학적 기상증착 (CVD) (Chemical Vapor Deposition)

기화법

➤ 금속과 반도체 등의 대부분의 물질을 박막화 하는데 사용할 수 있는 기본적인 박막형성 방법. 진공상태에서 가열되어진 금속 물질이 기화되거나 승화되면서 기판의 표면에 증착

원료 화합물을 기체 상태로 반응기 내에 공급하여 기판 표면에서의 화학 반응 유도함으로써 기판 위에 박막층 형성하는 공정

스퍼터링법

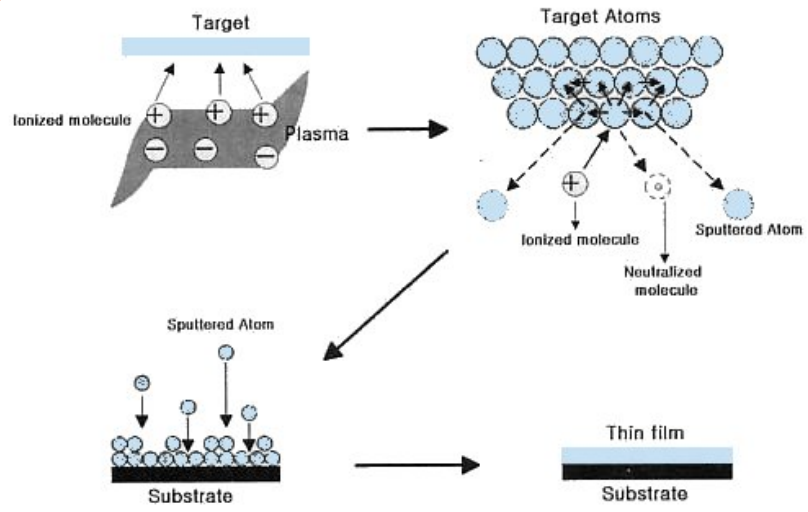
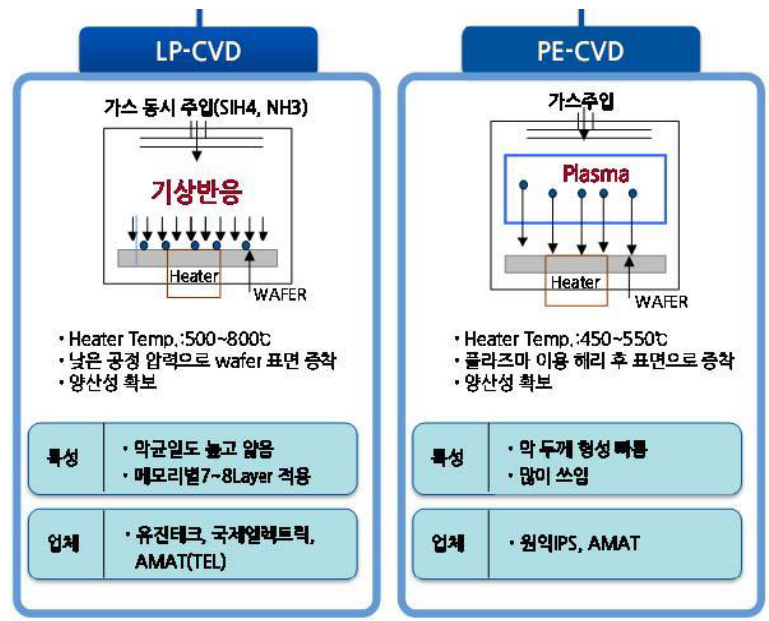


그림 5.39. 스퍼터링의 원리



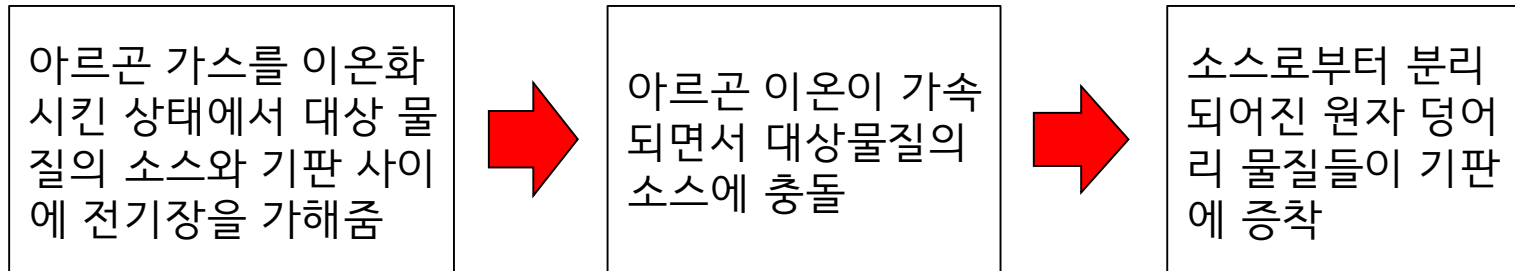
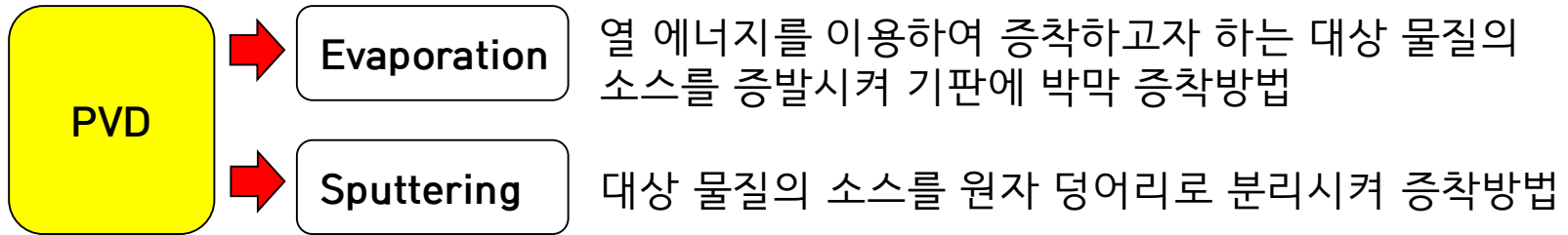
허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### a) 물리기상증착 (PVD)

- 물리적인 힘에 의해 대상 물질을 기판에 증착하는 방법



- **장점** : 공정이 깨끗하고 안전함, 증착방법 간단함, 기판과 접착력 좋음, 증착속도 빠름
- **단점** : 박막의 두께를 조절하기 힘들, 단차 피복성이 나쁨
- **적용 공정** : Ti, TiN, Co, W, Al 등 대부분의 금속

허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

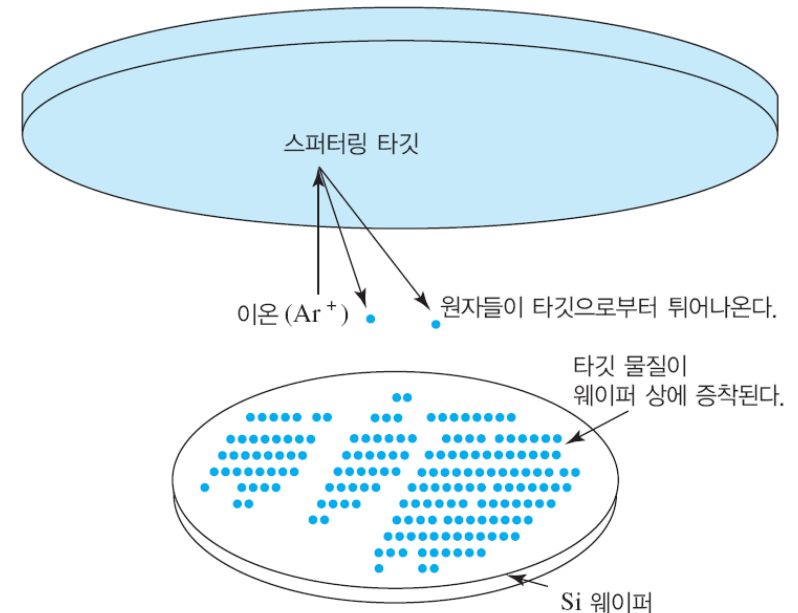
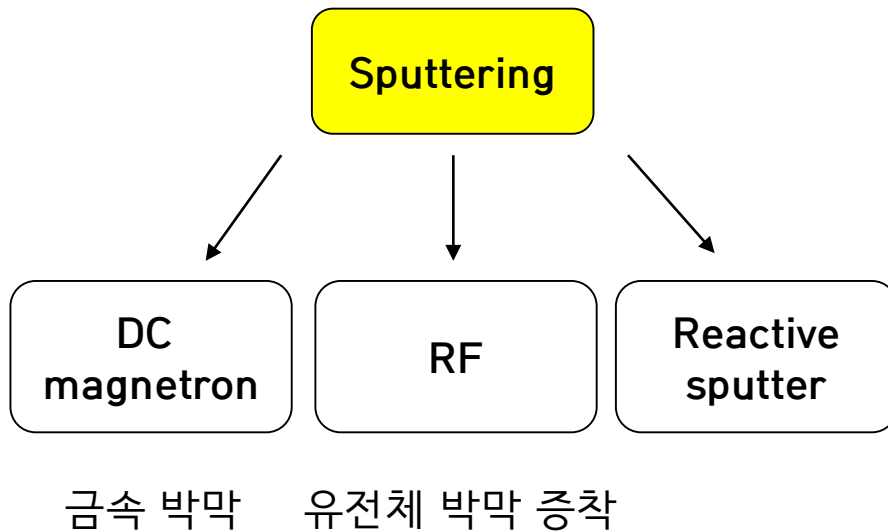
# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### a) 물리기상증착 (PVD)

#### - 스퍼터링 (Sputtering)

- 반도체 공정 중 가장 많이 사용되는 metal process
- Target 물질 표면을 Ar(아르곤)과 같은 기체 이온의 충돌로 방출시킨 뒤 기판에 증착
- 장점 : 단차피복성이 좋음, 기판과의 접착력이 좋음, Uniformity가 좋음



# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### b) 화학증기증착 (CVD)

- 화학가스를 챔버에 유입한 후 화학반응에 의해 원하는 박막을 증착하는 방법
- 유전체 박막과 우수한 단차 피복성 특성 요구하는 일부 금속박막 증착에 사용
- 종류 : 챔버의 입력, 챔버 온도, 화학 가스를 분해 에너지원 등에 따라 구분

APCVD

LPCVD

LTCVD

PECVD

MOCVD

PCVD

- 장점 : 단차 피복성이 좋음, 기판과의 접착력이 좋음, Uniformity가 좋음
- 단점 : 불순물의 함유량이 많음, 유독 가스를 사용하기 때문에 위험함

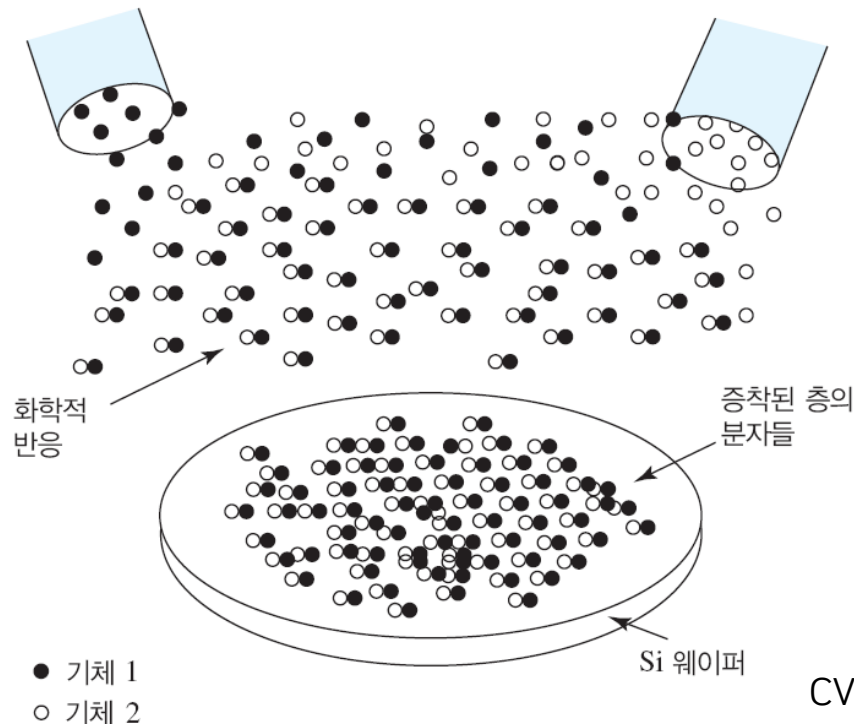
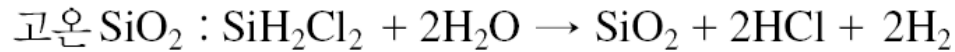
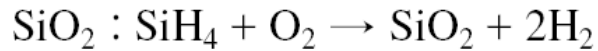
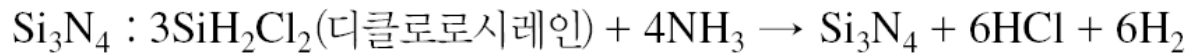
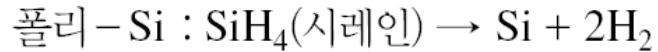
**허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.**



# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### b) 화학증기증착 (CVD)



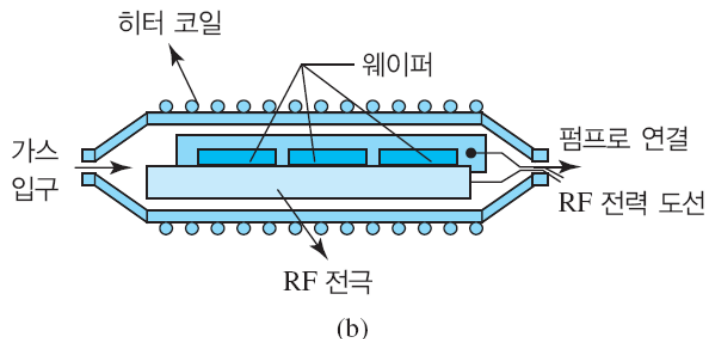
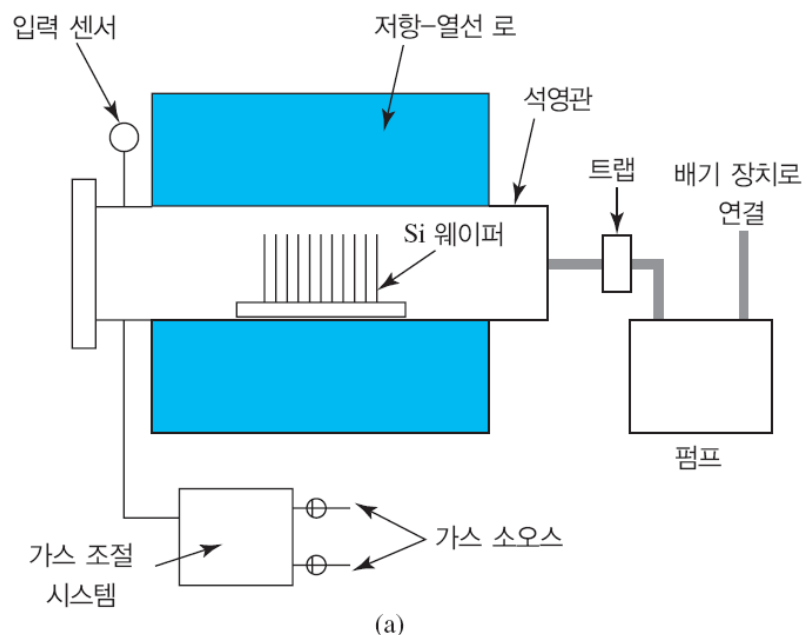
허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### b) 화학증기증착 (CVD)

- 고온 산화물(HTO, high-temperature oxide)은 특히 공형(conformal)인데 이는 증착 온도가 높아 표면에서의 입자 운동이 증진되어 측벽 커버도 우수해지기 때문
- 저압 화학 증기 증착(LPCVD) : 양질의 두께 균일성과 낮은 가스 소모
- 플라즈마-증진 화학 증기 증착(PECVD) : 보다 낮은 증착 온도



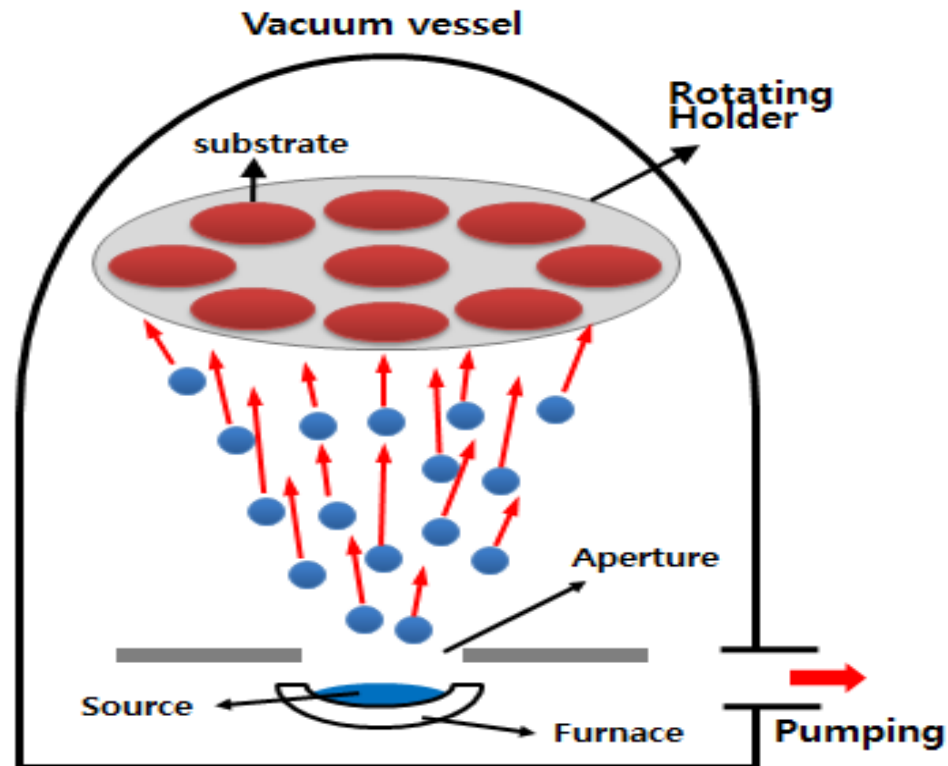
(a) LPCVD 시스템 및 (b) 라디오 주파수 전력으로 생성된 플라즈마가 있는 PECVD 반응기

**허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.**

# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

### c) 진공증착 (Vacuum evaporation)



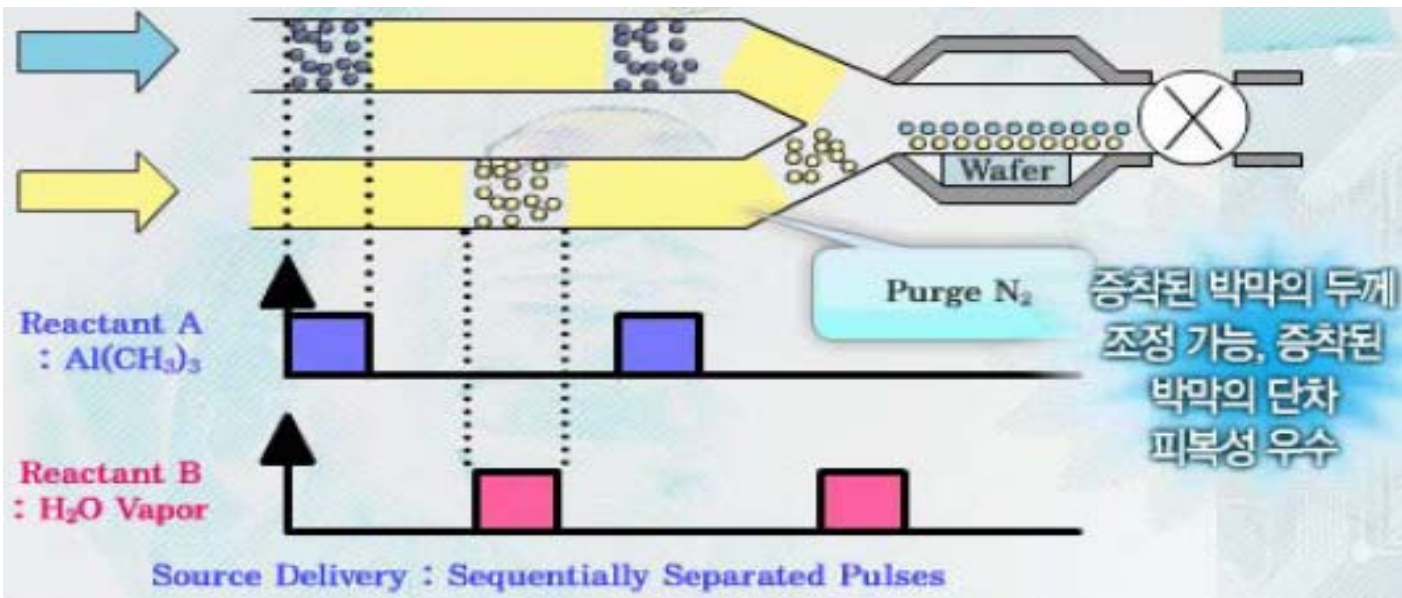
진공으로 된 용기 내에서 증착하고자 하는 물질을 가열하여 소스에 떨어져 나온 증기의 증기압을 상승시켜 기판 위에 증착되게 하는 방법.

**허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.**

# 반도체 전공정

## 박막 증착 공정 (Thin Film Deposition Process)

d) 원자층 증착 (Atomic Layer Deposition: ALD)  
- 반응을 원자층 단위로 증착하는 방법



알루미늄 증착소스 유입시, 알루미늄 층 형성후 purge 가스 의해 불순물 배기

산소증착 가스 유입시 유입가스는 산소층 형성후 purge 가스 의해 챔버 밖 배기

이 과정 반복해 웨이퍼 표면에 반복된 수만큼 알루미나 층 형성

허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

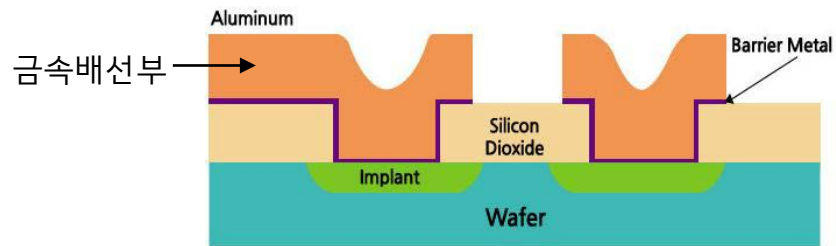
# 반도체 전공정

## 금속화공정(metallization)

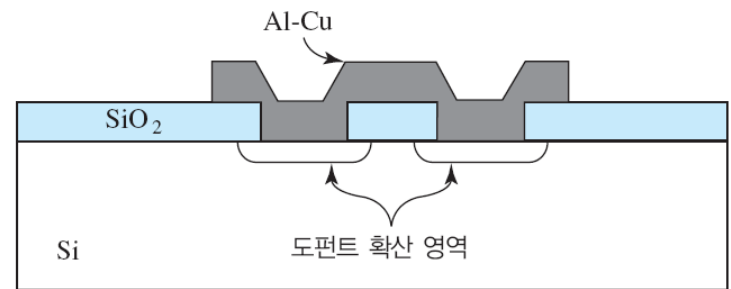
### a) 금속화 공정

#### 금속배선화

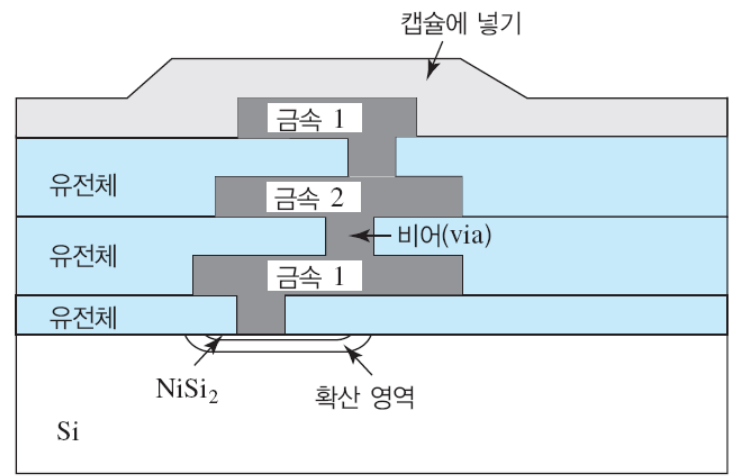
- 웨이퍼 표면에 형성된 회로패턴 따라 금속선 (Metal line)의 연결 (Al, Ti, W 등)



#### 소자 상호 연결의 도식적 그림



(a)



(b)

(a) 기본 금속 공정 예, (b) 다층 금속 공정 구조

허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 전공정

## 금속화공정(metallization)

### a) 금속화 공정

#### ① 다층 금속 구조

- 복잡하고 조밀한 회로를 만들기 위해 일반적으로 사용
- 금속 두께는 수분의 일 마이크론부터 수 마이크론까지의 범위에 걸쳐있고, 약 10개의 금속층까지 사용됨
- 두꺼운 층은 전력선으로 사용되고, 얇은 연결선은 신호 발송에 사용
- 인접한 금속층은 금속 간 유전체 층에 의해 분리되고, 인접한 금속층 사이에 전기적 연결은 비어(via)를 통해 만들어짐

#### ② Al 선과 Cu 선

- Al 연결선은 전기적 원자이동(electro-migration)의 신뢰성 문제 야기 : 금속선에서 전자 흐름은, 금속 원자로 하여금 결정 그레인 경계면 혹은 금속/유전체 경계면 따라 준-랜덤 방식으로 이동하는 현상을 야기시킬 수 있어, 선 저항을 증가시키거나 끊어지게 함.
- 진보된 IC에서는 연결선 물질로 구리(Cu)를 사용
- Cu는 Al보다 전기적 원자이동에 대한 신뢰성이 탁월하고, 40% 더 낮은 저항을 가짐. 구리는 도금 혹은 CVD에 의해 증착. Cu의 건식 에칭은 어렵기 때문에, 구리 패턴은 통상적으로 상감(damascene) 공정 사용함.

**허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.**

# 반도체 전공정

## 금속화공정(metallization)

### ③ 금속화 공정(metallization)

- 금속층 사이에 낀 유전체 물질로는  $\text{SiO}_2$ 가 사용됨
- 종종 탄소 혹은 플루오르를 포함하는 낮은- $k$  유전체(low- $k$  dielectric)로 보충되고,  $\text{SiO}_2$ 보다 매우 작은 유전 상수( $k$ )를 갖도록 설계됨
- $k$  값이 작을수록 연결선들 사이에 더 작은 커패시턴스를 가짐. 작은 커패시턴스는 회로 속도를 빠르게 하고, 전력 소모를 낮추며, 이웃하는 연결선들 사이 혼선(cross-talk)을 덜 가져옴.

### ④ 평탄화

- 평평한 표면은 후속의 광 리소그래피와 에칭을 크게 향상시킴
- CMP 평탄화는 앞 공정 단계에서도 실행될 수 있음
- 평탄화 실행 방법 중 CMP가 최고의 편평함을 제공

# 반도체 후공정

허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.



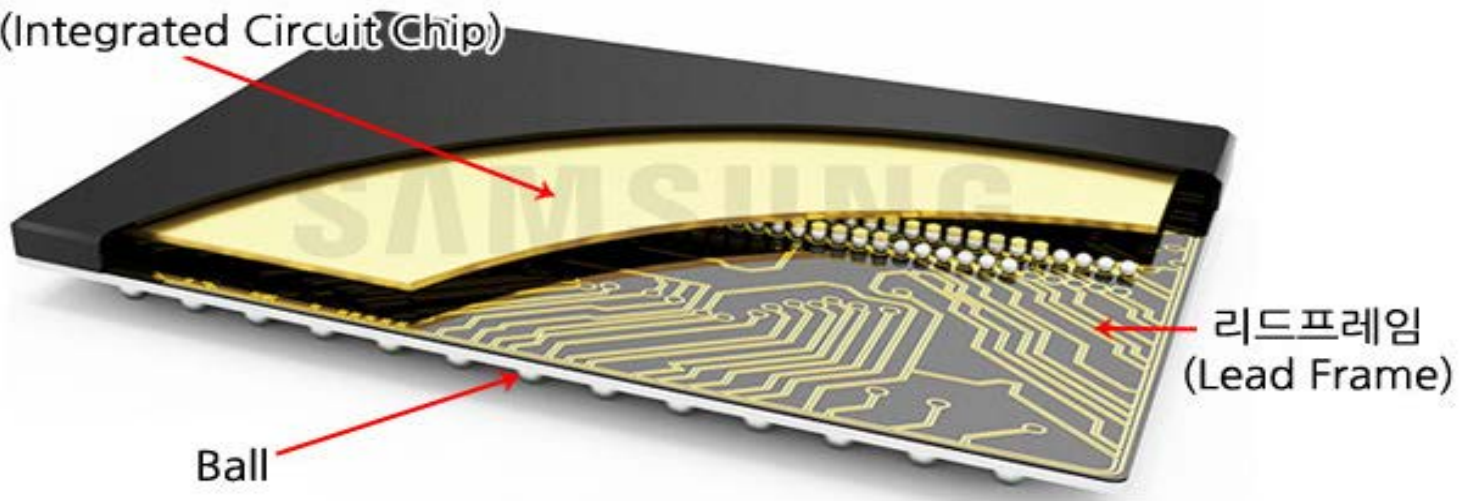
# 반도체 후공정

## 패키징

### 패키징(packaging)

- 패키징의 정의 : '상자에 채워 형태를 정리한다'
- 반도체 패키징 : '반도체 칩을 탑재될 기기에 적합한 형태로 만든다'  
IC와 전기 장치를 연결해 주는 기술과 고정의 세트
- 패키징 역할 : 패키징은 상호배선, 전력공급, 방열, 집적회로(IC) 보호

IC 칩 (Integrated Circuit Chip)



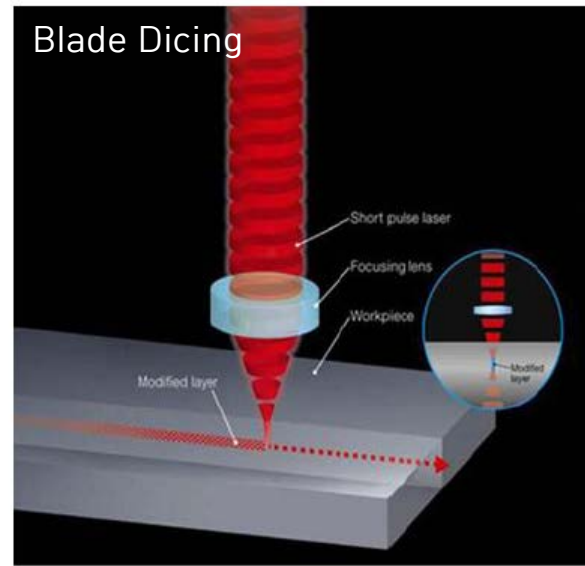
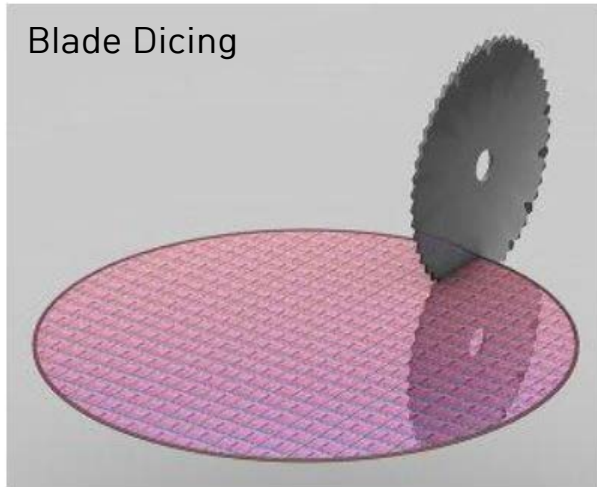
허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 후공정

## 패키징

### 1) 웨이퍼 절단 (Dicing)

- Back Grind 작업 통해 두꺼운 웨이퍼를 얇게 만든 후, 다이아몬드 드릴 (Blade Dicing) 및 레이저 (Laser Dicing) 등 통한 조각 절단 공정.



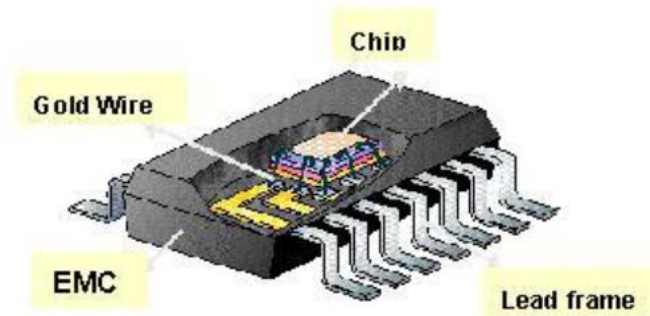
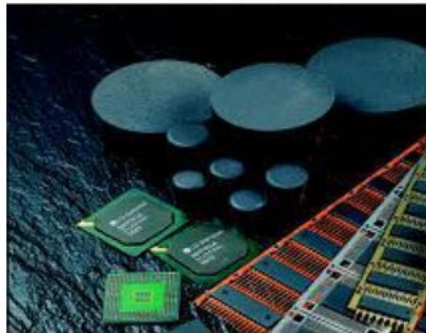
허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 후공정

## 패키징

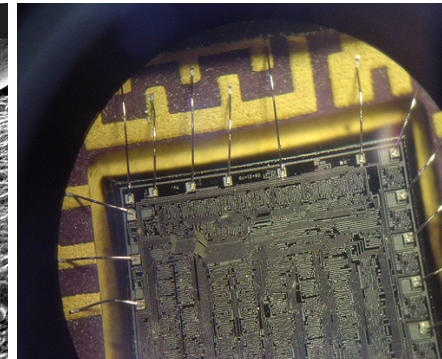
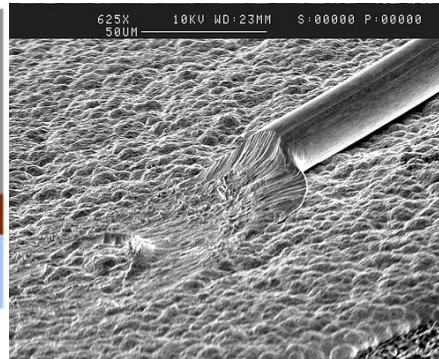
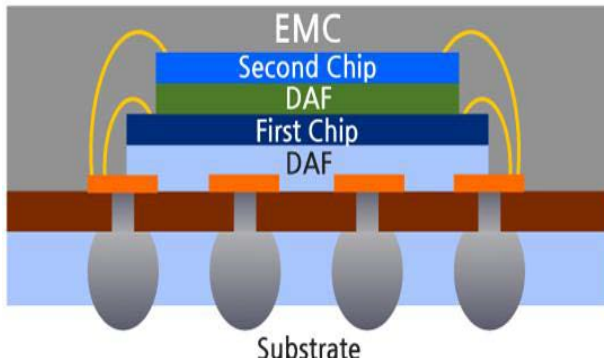
### 2) 칩 집착(Die Attach/Die Bonding)

- 테스트를 거친 후, 양품으로 판명된 IC칩을 자른 후, 리드프레임 등의 패키지자료에 부착하는 공정



### 3) 금속 연결(Wire Bonding)

- 칩 내부 외부연결단자와 리드프레임 (Substrate) 단자를 금선(Gold Wire)을 이용, 연결



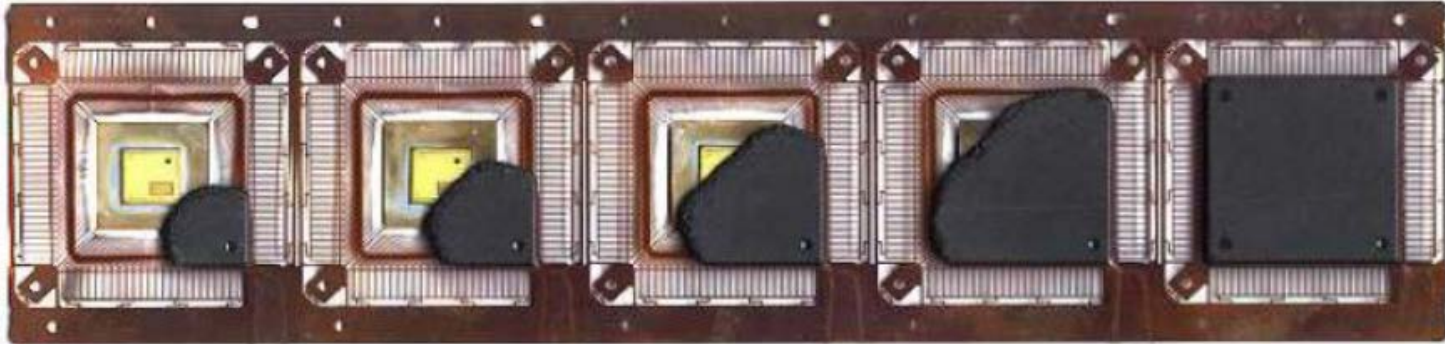
허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 반도체 후공정

## 패키징

### 4) 성형(Molding)

- 습기, 열, 물리적 충격으로부터 칩과 연결 금선 보호를 위해 열강화 수지 EMC(Epoxy Molding Compound)로 기판 감싸 밀봉해 주는 공정  
→ 반도체 소자의 최종적 완성



### 5) 최종검사 (Final Test)

- 완성된 반도체의 반도체의 전기적 특성이나 기능 등을 컴퓨터로 최종검사

**허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.**

# 테스트 공정

허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.

# 테스트 공정

## 웨이퍼 테스트

### 1) 웨이퍼 자동선별 (Electrical Die Sorting) 목적

- 다이를 패키징 상태로 만들기 이전 불량 다이 검출, 후속공정으로 연결방지.
- 양품과 불량으로 구분 → 후속공정에서 발생가능 불필요시간 줄이기.
- 불량품이 갱생가능한지 판단해 수율(Yield) 향상

### 2) 웨이퍼 가공공정 통한 완성회로 검사

- 웨이퍼 제조 공정 완료후, IC 칩이 제 기능 하는지 결정 위해 각 IC를 웨이퍼 상에서 전기적 탐침 및 조사
- 동작하지 않는 IC칩은 표시돼 조립되지 않음



Wafer Burn-in & Test 장비



# 테스트 공정

## 패키지 테스트 공정

### 1) 패키지 테스트 공정 목적

- 가부(go/no-go)테스트: 패키징이 완료 후 테스트 → 제품의 불량여부 판별
- 특성 테스트: 메모리 성능의 정확한 판별 목적

### 2) 패키지 테스트 공정

- 플립-칩(flip-chip) 본딩 공정: IC 패드 상에 형성된 솔더 범프를 녹임으로써 모든 연결이 동시에 만들어지는 것
- 최종 고속 테스트: 세라믹 혹은 금속 덮개로 밀봉된 후, 패키지 테스트 받음.
- IC의 복잡도가 증가하면서 테스트는 점점 더 어렵고 비싸지게 되어, 손쉬운 테스트는 회로 설계에 있어 중요한 고려 사항임.



Burn-in & Test 장비

### 3) 검정(qualification)

- 수명 테스트 (operating life test): 일천 시간에 걸쳐 지속적으로 수천 생산된 샘플에 대해 테스트 해 제품 성능의 신뢰도 입증
- 가속화 테스트 (Acceleration test): 정상보다 높은 전압과 온도에서 통전 테스트 (burn-in) 진행. 가속파괴를 통해 신뢰할 수 없는 칩들의 제거.

**허가없이 본 수업자료의 무단 배포 및 사용을 불허합니다.**